Der AMD Athlon Prozessor

Ruediger Wassibauer, 0120809
Rene Leikermoser, 9520884

20. Februar 2003

Contents

1 Abstract

Der AMD Athlon Prozessor ist der erste Prozessor der den Intel-Prozessoren nicht nur das Wasser reichen kann. Diese Arbeit konzentriert sich auf den AMD Athlon, und wird ihn mit dem Intel Pentium vergleichen sowie den physikalischen Aufbau und die technischen Details dieses Prozessors erleutern.

2 Einleitung

Der AMD Athlon Prozessor ist der ertse Prozessor der den Intel-Prozessoren nicht nur das Wasser reichen kann. Diese Arbeit konzentriert sich auf den AMD Athlon, und wird ihn mit dem Intel Pentium vergleichen.
1971 setzte Intel mit dem Intel 4004 einen Meilenstein in der Computergeschichte. Erst mit dem AMD Athlon hatte es ein anderer Chiphersteller erstmals geschafft Intel mit ihrem neuen Design in allen Bereichen überlegen zu sein. Um die Evolution des modernen Prozessors an hand des AMD Athlon zu demonstrieren werden einige grundlegende Eigenschaften und Charakterisierungen von Prozessoren erläutert.
Zuerst wird auf die Herstellungsverfahren hingewiesen, dann auf die Prozessorarchitektur. Anhand der Prozessorarchitektur wird auf einige der markanten Unterschiede der verschiedenen Prozessoren hingewiesen, diese Hinweise werden es später erleichtern Benchmarks und P-Rating zu erläutern. Weiters wird ein kurzer Ausblick über die Zukunft des Prozessors gegeben.

3 Geschichte der Prozessorentwicklung

1971 entwickelte Intel den 4004 Prozessor [3]. Ein Meilenstein, er besass 2 300 Transistoren, taktete mit 108 kHz und konnte 60 000 Operationen pro Sekunde ausführen, oder in anderen Worten, ein Computer auf einem Chip im Vergleich zu einem Raumfüllenden Computer mit Vakuumröhren. AMD wurde im selben Jahr wie Intel gegründet, stellte Intel kompatible CPUs her, konnte aber nie so recht mit dem von Intel vorgegebenen Tempo mithalten. Neuerungen wie der 486er Prozessor hatten teilweise erst 3 Jahre Verspätung, bis sie auf der AMD Plattform erhältlich waren. Doch mit der ära des Pentium Prozessors konnte AMD mit dem bei Nexgen eingekauften Know-how den AMDK6 entwickeln und aufholen. Dieser war in 16Bit Anwendungen und bei Programmen die überwiegend Integer Berechnungen durchführten, schneller als der Pentium MMX. Intel konterte mit dem Anfangs teuren Pentium II, doch durch eine massive Preissenkung konnte sich die Pentium II Prozessorplattform bei Consumer PCs durchzusetzen. Darauf folgten einige andere konkurrierende K6 und Pentium II-Versionen und schliesslich entschied Intel diese Schlacht mit dem Pentium III. Mittlerweile hatte AMD aber schon ein neues Ziel vor Augen, den AMD Athlon Prozessor. Mit diesem Prozessordesign hatte AMD es erstmals geschafft: Sie waren dem weltgrössten PC-Prozessor Hersteller Intel erstmals in allen Bereichen überlegen. Dieselbe

Leistung wie ein gleichgetakteter Pentium III zu einem deutlich niedrigeren Preis.

4 Prozessorherstellung

Die Herstellung von Prozessoren ist noch immer eine grosse technologische Herausforderungen für einen Hersteller. Das Grundprodukt aller Prozessoren ist bekanntlich Silizium, wobei jedoch längst nicht alle Halbleiterbauelemente aus Silizium hergestellt werden.

4.1 Aufbau und funktionsweise eines Transistors

Ein Transistor kann als elektronische Version eines Schalters angesehen werden. Ist die Schalterposition auf ein kann eine anliegende Spannung ungehiendert fliessen, ist die Schlterposition auf aus ist der Spannungsfluss unterbrochen. Transistoren bestehen aus einem Stück Metall auf einem Oxyd welches auf einem Stück Silizium, das bekanntlich ein Halbleiter ist, aufgebracht ist.

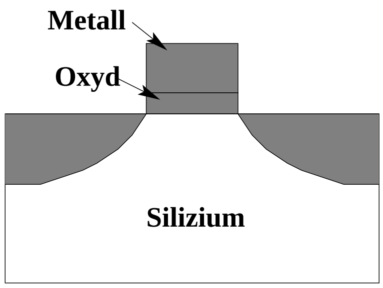
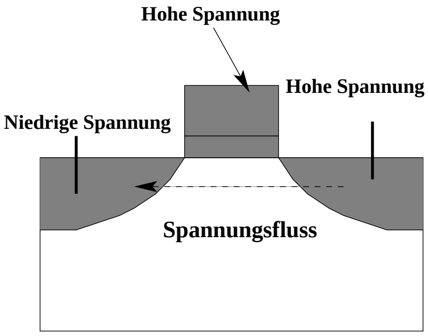


Figure 1: Aufbau eines Transistors [2]

Wird an das obere Metallstück welches als sogenannter Gate fungiert eine Spannung angelegt so wird das darunterliegende Silizium leitend und eine anliegende Spannung kann ungehindert durch das Silizium fliessen.
Das Rohmaterial ist zwar in ausreichender Menge vorhanden, jedoch ist die Qualität dessen noch lange nicht geeignet, Chips zu bauen. Es benötigt diverser chemischer Verfahren, um aus dem Rohsilizium hochreines Silizium herzustellen, das für die Produktion von Prozessoren geeignet ist. Das hochreine Silizium allein reicht aber noch immer nicht für die Chipproduktion. Da die Schaltungen und Transistoren immer kleiner werden, ist es notwendig, ein vollkommen gleichmässiges Kristallgitter zu erzeugen. Dies ist nicht so einfach, wichtig sind vor allem zwei Verfahren, um einen solchen Einkristall zu erhalten.



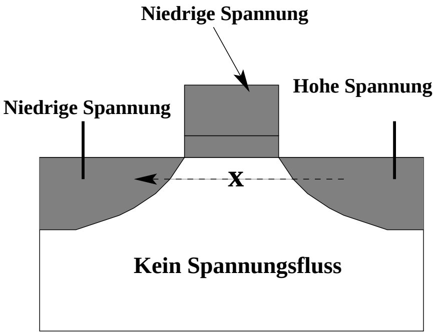


Figure 2: Oben: Schalter geschlossen, Spannung kann fliessen [2]

Figure 3: Unten: Schalter geöffnet, kein Spannungsfluss [2]

4.2 Siliziumherstellung

4.2.1 Zonenziehverfahren

Das erste Verfahren heisst Zonenziehverfahren. Bei diesem Verfahren wird ein Impfling, von dem aus der Siliziumstab zu wachsen beginnt, an einem Rohsiliziumstab angelagert. Eine Hochfrequenzspule schmilzt induktiv das Polysilizium an und fährt an diesem entlang. Vom kleinen Monokristall aus ordnen sich nach und nach alle Siliziumatome in einem regelmässigen Gitter an.

4.2.2 Tiegelziehverfahren

Das zweite Verfahren wird Tiegelziehverfahren genannt. Beim Tiegelziehverfahren erhitzt sich ein keramischer Schmelztiegel mit Bruchstücken aus Reinstsilizium auf 1415 Kelvin. In der Mitte der Schmelze startet ein kleiner Impfling aus Reinstsilizium die Kristallisation. Das Ende des Impflings ist in eine Hebevorrichtung eingespannt. Mit Abnahme der Temperatur und einem vorsichtigen Heben des Impflings lagert sich

monokristallines Silizium an den Impfling an.
Bei beiden Verfahren wird der Siliziumstab langsam gedreht, um noch gleichmässigere Strukturen zu erhalten. Der entstehende Kristall ist aber von seiner äusseren Struktur sehr unregelmässig. Deshalb muss er in die richtigen Formen gebracht werden. Es ist nicht einfach, einen solchen riesigen Einkristall zu bearbeiten. Er ist sehr spröde und kann bei mechanischer Beanspruchung leicht zerbrechen oder Risse bekommen.

4.3 Bearbeitung des Siliziums

Zur Bearbeitung gibt es zwei Möglichkeiten. Der Kristall kann entweder mit einer Innenlochsäge oder mit einer Drahtsäge in einzelne so genannte Wafer zerlegt werden. Beide Verfahren haben ihre Vor- und Nachteile, wobei moderne Waferfabriken zunehmend mit Drahtsägen ausgestattet werden. Die durch das Sägen entstandenen Scheiben werden an ihren Rändern rundgeschliffen und anschliessend wird die Oberfläche poliert. Danach wird die Oberfläche der Wafer nochmals gereinigt, diesmal auf chemischen Wege. Nach der chemischen Reinigung wird der Wafer nochmals chemisch poliert. Die fertigen Wafer werden dann in verschiedene Gruppen eingeteilt, je nach ihrem Grad der Abweichungen (die erlaubte Abweichung eines Wafers mit 150 mm Durchmesser beträgt zum Beispiel nur 6 μm im polierten Zustand). Jetzt werden die Wafer noch mit verschiedenen Materialien beschichtet, um die vom Chiphersteller gewünschten Eigenschaften zu erhalten.

4.4 Chipherstellung

Dann kommen die Wafer zur eigentlichen Chip Herstellung. Sie werden in einem Gestell befestigt und kommen so in die verschiedenen Anlagen zum Auftragen neuer Schichten, Belichten und anschliessenden ätzen und Reinigen. Da moderne Prozessoren aus 6 Schichten bestehen, müssen die einzelnen Schritte mindestens 6 mal erfolgen, teilweise sind auch Mehrfachreinigungen vonnöten. Im Idealfall kommt dann der Wafer mit den fertigen Chips aus der Produktionsanlage. Danach werden die Chips in ihre Gehäuse montiert und elektrisch leitend mit den Pins verbunden. Nun werden die Prozessoren nach ihrer maximalen Geschwindigkeit getestet. Das bedeutet, die Prozessoren werden eine gewisse Zeit auf eine Art Prüfstand gebracht, wo bei gewissen Geschwindigkeiten das Verhalten des Prozessors bestimmt wird. Stürzt der Prozessor bei zum Beispiel 900MHz ab oder wird er zu heiss, wird er als 850MHz Prozessor nochmals getestet. Grundsätzlich ist nur folgender Zusammenhang zu erkennen: Die Prozessoren, die aus der Mitte des Wafers geschnitten wurden, erreichen die höchsten Taktfrequenzen, je weiter ausserhalb des Zentrums des Wafers die Prozessoren bei der Belichtung waren, desto langsamer werden sie. Oft planen die Hersteller auch eine gewisse Toleranzgrenze ein oder stufen die Prozessoren absichtlich falsch ein, damit sie den Markt befriedigen können. Aber es ergeben sich auch zunehmend Probleme. Es wird immer schwieriger die extreme Hitze, die ein moderner

Chip erzeugt, wirkungsvoll abzuführen. Deshalb ergeben sich völlig neuer Ansätze im Chipbereich, wie der Transmeta Crusoe, der ein besonders gutes Verhältnis von Leistung und Verbrauch bietet dies geschieht aber nicht mehr auf der fertigungstechnologischen Ebene sondern auf der Architekturebene.
Ein anderer Ansatz ist die Verwendung neuer Materialien. So werden mittlerweile immer mehr Prozessoren in Kupfertechnologie gefertigt. Auch der Athlon Modell 4 wird in Kupfer gefertigt. Der Vorteil von Kupfer ist der geringere spezifische Widerstand gegenüber Aluminium. Der Grund warum man Kupfer nicht schon viel früher verwendet hat liegt darin, dass es Silizium bis zur Unverwendbarkeit verunreinigt. Deshalb müssen spezielle Verfahren zur Anwendung kommen um das Silizium vom Kupfer zu isolieren. Erst vor kurzem ist es den ersten Herstellern gelungen, diese Verfahren auch für die Massenproduktion einzusetzen. Probleme bereiteten vor der Kupfertechnologie die immer höheren MHz zahlen. Bei diesen hohen Frequenzen sind mittlerweile die Signallaufzeiten in den Leiterbahnen der limitierende Faktor - sie übersteigen die Schaltzeiten der Transistoren bei weitem, so dass bei einer weiteren Erhöhung der Taktfrequenz die Signale nicht mehr zum richtigen Zeitpunkt am Ende der Leiterbahn ankommen.

4.5 Silicon On Insulator (SOI)

Es gibt noch eine weitere Technologie, die in näherer Zukunft für die Herstellung von Prozessoren verwendet werden wird: SOI.
SOI ist eine Abkürzung und bedeutet Silicon On Insulator. An dieser Technik wurde schon seit rund 30 Jahren geforscht, aber bisher ohne Ergebnis. IBM ist es nun erstmals gelungen, SOI auf einem Prozessor funktionsfähig zu implementieren. Durch SOI werden Effekte vermindert, die durch interne parasitäre Kapazitäten und Transistoren im Silizium entstehen. Solche unerwünschten Effekte erschweren die weitere Verkleinerung von integrierten Schaltungen und infolgedessen verhindern sie eine weitere Geschwindigkeitserhöhung.
SOI bedeutet das aufbringen einer dünnen Schicht Siliziums auf einen Isolator wie zum Beispiel Siliziumoxyd oder Glas. Der Transistor wird dann auf dieser dünnen SOI-Schicht aufgebaut. Die Grundidee dahinter ist die Reduzierung von Restströmen im Silizium sodass der Transistor schneller schalten kann und der gesamte Prozessor somit schneller getaktet werden kann.

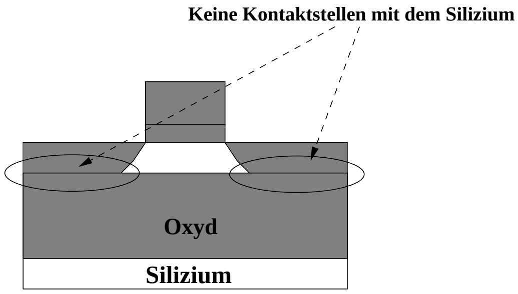


Figure 4: Aufbau eines Transistors in SOI-Bauweise [2]

5 Die Prozessorarchitektur des AMD Athlon

5.1 Das Design des AMD Athlon

Bei Prozessoren ist eine Einteilung nach ihrem Befehlssatz möglich. Hier gibt es zwei wichtige Typen: RISC und CISC

5.1.1 RISC

RISC ist die Abkürzung für Reduced Instruction Set Computing. Es handelt sich dabei um eine reduzierte Anzahl von Befehlen, welche dann schneller abgearbeitet werden können. Der Nachteil ist, dass manche komplizierte Aufgaben nur mit einer Aneinanderreihung von Befehlen abgearbeitet werden kann und es darum zu erheblichen Verzögerungen kommt.

5.1.2 CISC

Die CISC CPU, Complex Instruction Set Computing, besitzt wesentlich mehr Befehle als ihre Konkurrenten, und kann dadurch komplexe Befehle schneller ausführen. Doch nach einer Faustregel, benötigen rund 80 % der durch die Programme aufgerufenen Befehle lediglich rund 20 % des Befehlsumfangs. Der AMD Athlon genauso wie sein kleiner Bruder Duron sind sozusagen Mischlinge aus RISC und CISC Architektur. Extern, also nach aussen hin und damit für den Rest der Peripherie und dem Programm, das der Prozessor ausführt, verhält er sich wie ein CISC Prozessor. Intern bearbeitet er die Befehle mit einem RISC Befehlssatz. Bei AMD werden die Befehle MOPS (Macro OperationS) beziehungsweise ROPS (RISC OPerationS) genannt, je nachdem wo sich die Befehle gerade befinden. Im ersten Moment mag das eigenartig klingen, da die Befehle ja dann kompliziert umgewandelt werden müssen. Doch dieses System hat einen bestechenden Vorteil: die Software, die für ältere Prozessoren geschrieben wurde kann weiter verwendet werden und muss nicht komplett neu kompiliert werden. Wenn man dann ältere Software

noch nützen will, muss die CISC Umgebung aufwendig emuliert werden, was starke Leistungseinbussen mit sich führen würde. Bei den CISC Befehlen, die der AMD Athlon bearbeiten kann, handelt es sich um den x86 Befehlssatz. x86 bedeutet, dass alle Prozessoren die diesen Befehlssatz verarbeiten können kompatibel zum 8086 sind.
Der AMD Athlon besitzt eine Superscalare Architektur und einen Pipeline Betrieb. Superscalar bedeuted, dass der Prozessor viele verschiedene Ausführungseinheiten besitzt und deshalb mehrere Operationen parallel verarbeiten kann.

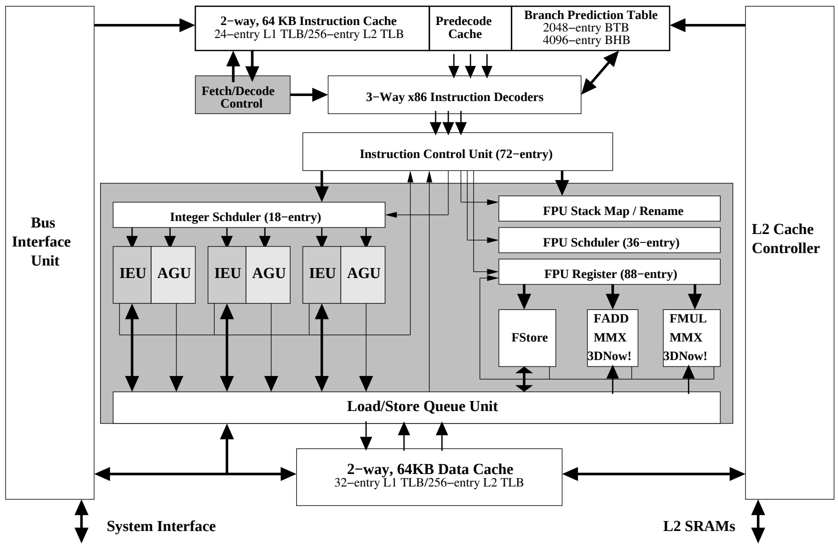


Figure 5: Blockschaltbild eines Athlon Prozessors [1]

Abbildung 5 zeigt das Blockdiagramm des AMD Athlon Modell 1 und Modell 2. Was an diesem Blockschaltbild zu erkennen ist, sind die wichtigen Verarbeitungseinheiten, von denen es in AMD Athlon 9 Stück gibt. Auf dem Schaltbild sind sie bezeichnet mit: IEU 0, IEU 1, IEU 2, AGU 0, AGU 1, AGU 2, FStore, Fadd/MMX/3Dnow! und Fmul/MMX/3Dnow!. Diese neun Einheiten sind für die Verarbeitung der Befehle mit den dementsprechenden Daten zuständig. Darüber auf der Abbildung befinden sich die Einheiten, die die Befehle an die Ausführungseinheiten verteilen: ICU (Instruction Control Unit), Integer Scheduler und die FPU Stack/Scheduler/Register Einheiten. Wiederum darüber sind die Decoder zu sehen, die den x86 Code in MOPS verwandeln. Die genauen Zusammenhänge zwischen den einzelnen Units sind am besten in der Pipline des Prozessors zu beschreiben.

5.2 Der Decoder

Um Software auszuführen beginnt jede CPU mit der Dekodierung der Maschinenbefehle in Operationen, die vom Mikroprozessor intern verarbeitet werden können. AMD nennt diese Makro-Operationen oder kurz Mops, bei Intel heissen Sie μ-OPs.
Moderne Prozessoren sind üblicherweise in der Lage einfache, häufig genutzte Befehle sehr schnell in solche Operationen umzuwandeln - normalerweise in einem Takt. Komplexere Befehle werden im Athlon mit einem etwas aufwendigeren Verfahren dekodiert, was den Zugriff auf ein prozessorinternes ROM beinhaltet. Der Teil des Athlon-Prozessors, der die einfachen Befehle dekodiert, heisst 'direct path', der für die komplexeren Befehle 'vector path'. Der Athlon ist in der Lage gleichzeitig drei einfache x86-Befehle (direct path), parallel in MOps umzuwandeln, der 'vector path' kommt noch für die komplexeren Befehle hinzu. Der P6 Decoder des Pentium III hat dagegen drei parallele Dekodiereinheiten, zwei für einfache und eine für komplexere Befehle. Die Benutzung dieser Einheiten ist genau geregelt, so dass im optimalen Fall zwar drei Befehle parallel dekodiert werden können, aber nur, wenn je zwei einfache und ein komplexer Befehl dekodiert werden. Der Athlon kann auch nur drei Befehle zur gleichen Zeit dekodieren, hat aber drei vollwertige Decoder, die tatsächlich jede Kombination von Befehlen mit jedem Decoder verarbeiten können.

5.3 Instruction Control Unit

Wie aus Abbildung 5 zu entnehmen, ist die nächste Stufe, sobald die Befehle dekodiert sind, die Instruction Control Unit. Diese Einheit kann bis zu 72 MOps halten, bevor sie zum 'Scheduler' weitergeleitet werden. Das ist einiges mehr, als die 20 μ-OPs die in der 'Reservation Station' des Pentium III gehalten werden können.
Der Athlon verfügt über einen Integer- und einen Floating-Point-Scheduler, die sich die Arbeit teilen, für welche beim Pentium III die 'Reorder-Unit' alleine verantwortlich ist. Der Athlon scheint in dieser Hinsicht ausgereifter. Der Integer Scheduler verfügt über 18 Einträge. Die Befehle können von hier auf 3 IEUs (Integer Execution Units) und 3 AGUs (Address Generation Units) verteilt werden.
Der Floating Point Scheduler verfügt über 36 Einträge. Der Athlon kommt hier mit 3 Floating Point Units. FStore zum Speichern von Fliesskommadaten, die zweite zur Gleitkommaaddition, für MMX und 3DNow! und die dritte zur Gleitkommamultiplikation und auch für MMX, 3DNow!. Die Gleitkommaaddition ist voll gepipelined. Das gilt etwas eingeschränkt auch für die Gleitkommamultiplikation und die Division.
Der Pentium III hat dagegen nur 5 Ausführungseinheiten: Eine Store Data Unit zum Speichern von Daten, zwei AGUs zur Adressberechnung, eine Einheit, welche eine IEU(Integer Execution Unit), eine Fliesskomma(FPU)-SSE-Unit und eine MMX-Unit umfasst und eine letzte

Einheit, die eine IEU (Integer Execution Unit), eine SSE-Unit und eine MMX-Unit umfasst. Der Athlon kann also in einem Takt fast die doppelte Anzahl von Befehlen an seine
Ausführungseinheiten weiterleiten.
Die Gleitkommamultiplikation und die Division sind beim Pentium III nicht gepipelined. Zusammengefasst kann man sagen, dass der Athlon dadurch einen grossen Performance-Vorteil gegenüber dem Pentium III erreichen sollte. Die FPU des Athlon ist bis zu 50 Prozent leistungsfähiger als die des Pentium III.

5.4 Die Pipeline

Pipelines müssen eine adäquate Länge haben. Sind sie zu kurz (underpipelined), so erreicht man ein zu geringes Mass an Parallelität und jede Stufe muss relativ viel Arbeit erledigen, sodass der maximal erzielbare Pipeline-Takt klein bleibt. Sind sie jedoch zu lang (overpipelined), so erlauben sie zwar einen hohen Takt, reagieren aber allergisch auf Sprünge, da es geraume Zeit dauert, bis die Pipeline wieder gefüllt ist. Theoretische Berechnungen haben für klassische Integer-Benchmarks [7] ein Optimum von etwa acht bis neun Stufen ergeben. Der Athlon mit seinen 10 Stufen kommt dem theoretischen Optimum recht nah, wogegen der Pentium III mit 12 bis 17 Stufen als ziemlich overpipelined zu betrachten ist.
Bei Gleitkomma sieht es für den Intel-Chip noch übler aus. Zwar hat Intel hier nie die Pipeline veröffentlicht, doch aus den Latenzzeiten muss man auf typischerweise 30 Stufen schliessen gegenüber 15 des Athlon.

	AMD Athlon	**Pentium III**
Integer Pipeline Length	10	12-17
Floating Point Pipeline Length	10	25

Table 1: Pipelinelängen

5.5 Die Pipelinestufen

Fetch	
Scan	
Align 1	
Align 2	
EDec	
IDec	
Sched (Integer)	Stack(FP)
Ex	Name
Addr	WSch
DC	Sched
	FReg
	4x FX

Table 2: Die Pipeline [1]

5.5.1 Fetch

Die erste Stufe der Pipeline ist die Fetch Stufe. In diesem Abschnitt werden die Instruktionen aus dem Instruction Cache geholt. Im Instruktionscache können maximal 64 KB an Befehlen zwischengespeichert werden. Maximal können 16 Bytes aus dem Instruktionscache in einem Schritt geholt werden.

5.5.2 Scan

Die zweite Stufe der Pipeline heisst Scan. Hier werden die x86 Befehle, die aus dem Cache geladen wurden, nach komplexen Instruktionen durchsucht und in das Alignment geschrieben, wenn keine komplexen Instruktionen gefunden wurden. Wenn dies doch der Fall sein sollte, wird der Befehl in den Microcode Instruction Sequencer transferiert.

5.5.3 Align1 & Align2

Die nächsten beiden Stufen (Stufe drei und Stufe vier) heissen Align 1 und Align 2. In diesen Stufen extrahiert ein Verbund von Multiplexern die eintreffenden Instruktionen (sie sind noch immer x86 kompatibel). Die

Instruktionen wurden von den Multiplexern angeordnet und zu den eigentlichen x86 Decodern gebracht.

5.5.4 EDec

In Stufe fünf der Pipeline werden die x86 Befehle dann in so genannte MOPS (Marcro OPerationS) transformiert, weshalb die Stufe EDec für Early Decode genannt wird. Die MOPS werden am Ende dieser Phase zur ICU (Instruction Control Unit) weitergegeben.

5.5.5 IDec

Die nächste Phase wird als IDec bezeichnet und ist schon die sechste Stufe der Pipeline des AMD Athlon. Diese Stufe läuft in der ICU ab. Sie hat die Möglichkeit, bis zu 72 MOPS zwischenzuspeichern. Die ICU unterscheidet wieder zwei Arten von MOPS. MOPS die Integerberechnungen durchführen und solche, die für die FPU (Floating Point Unit) vorgesehen sind. Die MOPS für die FPU werden direkt an diese weitergeleitet. Im Unterschied dazu werden die Integer MOPS nicht direkt weitergegeben, sondern ihre Register werden zuerst umbenannt und vom Integer Register werden die Quelloperanden gelesen; an dieser Stelle teilt sich also die Pipeline in FP und Integer Bereich.

5.5.6 integerpipeline/Scheduler

In Stufe sieben wird der Befehl an den Scheduler der Integer Pipeline weitergegeben. Wenn die ICU einen Befehl zum Integer Scheduler weitergibt, wird er zuerst in eine ROP (Reduced Instruction Set Computig Operation) umgewandelt. ROPs können entweder einen Lade-, einen Speicher-, einen Lade-Speicher- oder einen Vorhersagebefehl beinhalten. Ein MOP kann maximal in zwei ROPs umgewandelt werden. So kann zum Beispiel eine Load-Op-Store (=laden, ausführen, abspeichern) x86 Instruktion in eine Load Store ROP und eine ALU (Aritmetical Logical Unit, sie führt die Integer Berechnungen durch) ROP zerlegt werden. Der Integer Scheduler kann Operationen auf alle sechs ausführenden Einheiten gleichzeitig (genauer gesagt: in einem Takt) verteilen.

5.5.7 Integerpipeline/Ex

In Stufe acht der Integer Pipeline kommt es dann zur Ausführung (Execution) des Befehls. Alle Befehle ausser Multiplikationen und Divisionen benötigen nur einen Takt. Die Resultate der einzelnen Operationen werden auf einen Result Bus geschickt, von dem aus diese entweder zurück zur ICU kommen oder in der LSU (Load Store Unit) gespeichert werden Die berechnenden Funktionen werden in die ICU zurückgeschrieben, die AGUs (Address-Generation Units) können die Daten direkt in die LSU schicken.

5.5.8 Integerpipeline/Addr

In Stufe neun werden die ausgeführten Befehle, die keine AGU Anweisungen waren, nun von der AGU bearbeitet, deswegen wird diese Pipelinestufe auch als Addr bezeichnet.

5.5.9 Integerpipeline/DC

In der letzten Stufe (10, DC) der Integer Pipeline werden die fertig berechneten Daten durch die LSU in den L1DCache (L1 Daten Cache) geschrieben. Mit dem Ende dieses Befehls endet auch die Integer Pipeline.

5.5.10 FPU/StackRename

Die FPU Pipeline beginnt an siebenter Stelle der Pipeline. Die FP MOPs werden von der ICU direkt zur FPU weitergegeben. In Stufe sieben wird der FP Stack umbenannt, deswegen wird dieser Abschnitt Stack/Rename genannt.

5.5.11 FPU/Name

In der nächsten Stufe werden die Register umbenannt.

5.5.12 FPU/WSch

In Stufe neun werden die FP MOPs in einen 36 Einträge fassenden Verteiler transferiert. Diese Einheit, auch FPU Scheduler genannt, ist für die Verteilung der Befehle zu ihren richtigen Ausführungseinheiten da.

5.5.13 FPU/Sched

In Stufe zehn findet dann die Verteilung statt (Scheduling).

5.5.14 FPU/FReg

In der nächsten Stufe (Stufe elf) werden die Operanden von den FPU Registern gelesen und die ROPs zu den Ausführungseinheiten gebracht.

5.5.15 FPU/FX1-4

In Stufe zwölf beginnt dann die Ausführung der Befehle mit Hilfe der dementsprechenden Daten aus der LSU. Da FP Operationen eine wesentlich höhere Genauigkeit erfordern, wird der ausführende Teil der FPU Pipeline anders als bei der Integer Pipeline in weitere vier Unterschritte eingeteilt. Die Unterschritte werden FX0 (Stufe 12) FX1 (Stufe 13) FX2 (Stufe 14) und FX3 (Stufe 15) genannt. Somit hat die FPU Pipeline eine Länge von 15 Stufen.

5.6 Vergleich Pipeline Athlon vs Pentium III

	AMD Athlon	**Pentium III**
Operationen pro Takteinheit	9	5
Integerpipelines	3	2
FP Pipelines	3	1
Pipelinelänge(FP/Integer)	(15/10)	(30/17)
FP Operation FADD	4 Takte	3 Takte
FP Operation FMUL	4 Takte	5 Takte
FP Operation FDIV (Single)	16 Takte	17 Takte
FP Operation FDIV (Double)	20 Takte	32 Takte
FP Operation FDIV (Extended)	24 Takte	37 Takte
Vollwertige x86 Decoder	3	1
Datendurchsatz Bus	2,1 GB (FSB 133)	1,064 GB (FSB133)
SIMD Einheit	3DNow!	ISSE

Table 3: Vergleich der Pipelines des Athlon Thunderbird vs Pentium III

5.7 Branch Prediction: die Sprungvorhersage

Wie bei der Pipeline [8] schon erwähnt, hat man bei Prozessoren mit längerer Pipeline tunlichst dafür zu sorgen, dass die Sprungvorhersage möglichst treffsicher ist. Der Athlon verwaltet zu diesem Zweck den BHT (Branch History Table) und den BTB (Branch Target Buffer) in denen er sich die letzten Sprungadressen und die Sprungziele merkt. Der BHT besteht aus 4096 einzelnen 2-Bit-Zählern, der BTB kann 2048 Adressen aufnehmen. Damit soll die Branch-Unit eine mittlere Trefferquote von 95 Prozent erzielen. Der Pentium III hat eine etwas einfacher gehaltene Vorhersageeinheit, die mit einem Branch Target Buffer von 512 Einträgen arbeitet. Die Trefferquote hier dürfte nur bei knapp über 90 Prozent liegen.
Für Unterprogramme benutzen beide Prozessoren einen Return-Stack. In aller Regel werden mit CALL aufgerufene Routinen mit RETURN beendet. Der Prozessor merkt sich in diesem Stack die Rücksprungadresse sowie Pipeline- und Prefetch-Zustände und muss nicht warten, bis die Rücksprungadresse eingelesen ist und die Bytes am Sprungziel gelesen und dekodiert worden sind. Athlon hält hier einem Return-Stack von 12 Stufen, der Pentium III beschränkt sich jedoch auf 4 nur Stufen, was vielleicht als etwas zu knapp bemessen anzusehen ist.

5.8 Caches

5.8.1 Der L1-Cache

Der Athlon verfügt über einen 2-fach assoziativen 64 KByte grossen

L1-Instruction-Cache. Genau genommen ist der Instruction Cache sogar 92 KByte gross, da er noch vordekodierte Bits abspeichert. Der aktuelle Athlon XP hat einen 128KB L1 Cache. Der Pentium III sieht da mit seinen zweimal 16 KByte doch sehr mager bestückt aus. Noch schlimmer siehts beim Pentium 4 aus: 8KB sind von Seiten Intels wohl eine grobe Fehlkakulation.

5.8.2 Der L2-Cache

Der L2-Cache ist genauso wie beim Pentium III extern auf dem Modul untergebracht und wird wie selbiger aktuell mit dem halben Prozessortakt betrieben. Der Athlon ist aber flexibel und erlaubt unterschiedliche L2-Geschwindigkeiten. Während beim Pentium III der Cache-Controller als separater Baustein auf dem Modul residiert, ist er beim Athlon auf dem Chip integriert. Er unterstützt Caches von 512 KByte bis 8 MByte, die er über einen 72-bittigen 'Backside'-Bus ansteuert: 64 Bit + 8 Bit für ECC (Fehlerkorrektur). Der aktuelle Athlon XP Prozessor besitzt einen 256 KB L2 Cache.

5.9 Übersicht der Prozessorarchitekturen

Name	Herstellung	Die-Grösse	Transistoren	Trans./mm^2
K6-3	0,25 μm	118 mm^2	21 Mio	177966
K7	0,25 μm	184 mm^2	22 Mio	119565
K75	0,18 μm	125 mm^2	22 Mio	176000
Thunderbird	0,18 μm	120 mm^2	37 Mio	308333
Palomino	0,18 μm	128 mm^2	37,5 Mio	292968
Thoroughbred	0,13 μm	80 mm^2	37,2 Mio	465000
Thoroughbred-B	0,13 μm	84 mm^2	37, 6 Mio	447619
Barton	0,13 μm	101 mm^2	54,3 Mio	537623

Table 4: Übersicht der verschiedenen Athlon-Prozessorarchitekturen [9]

6 Das Pentium Rating

Das Pentium-Rating wurde von AMD und Cyrix eingeführt um den Druck auf Intel zu erhöhen. Dieses war möglich da einige Prozessoren der Intel-Konkurrenten bei gleichem Takt eine deutlich höhere Leistung als ein Pentium hatten. Da der Kunde im Allgemeinen aber eher auf die Taktrate achtet und weniger auf die tatsächliche Leistung welche tatsächlich auch schwieriger zu vergleichen ist, hat es ein Prozessor mit weniger Takt natürlich schwerer am Markt. Deshalb haben AMD und Cyrix auf ein Pentium-Rating zurückgegriffen, das die Leistung ihrer Prozessoren im Vergleich zu einem Pentium angibt. Ein K5-PR166 ist zum Beispiel nur mit 133 MHz getaktet, bringt aber zumindest im Integer-Bereich die Leistung eines Pentium-166.

7 Benchmarks

7.1 Ausgangskonfiguration

Für die Benchmarks des Pentium 4 wurde ein Epox EP-4PEA+ Mainboard mit Intel i845PE-Chipsatz sowie ein GigabyteGA-8INXPmit Intel E7205 (Granite Bay) Chipsatz verwendet. Die Athlon XPs liefen auf einem Asus A7N8X Mainboard mit nForce2 Chipsatz und einem Epox EP-8K9AI mit einem VIA KT400 Chipsatz. Alle Boards wurden mit 2 256MB Speichermodulen bestückt. Es wurde mit den schnellsten im BIOS einstellbaren Timings betrieben. Ausser einer Festplatte, einem CD- und Diskettenlaufwerk befand sich nur noch eine GeForce3 Ti500 Grafikkarte von ASUS im Rechner.

Die Prozessoren mussten folgende Benchmarks durchlaufen:

- CineBench 2000
- BAPCo SYSMark 2002
- SPEC Suite 6.1.2

Die vertikale Bildsynchronisation (VSync) war bei allen Tests deaktiviert.

7.2 CineBench 2000

Cinebench 2000 [10] baut auf dem professionellen Renderprogramm Cinema 4D XL auf. Es wurden alle Tests durchgeführt. Der Raytracing-Benchmark fordert vor allem die FPU des Prozessors. Dieser muss eine Szene rendern, die stark von Anti-Aliasing, Schatten, Transparenzen und Spiegelungen Gebrauch macht. Die beiden Shadingtests werden noch von weiteren Systemkomponenten wie z.B. dem Speicher beeinflusst. Der OpenGL-Test beansprucht vor allem die eingesetzte Grafikkarte, profitiert jedoch auch von einer hohen Speicherbandbreite.

7.3 BAPCo SYSMark 2002

SYSMark von BAPCo [11] testet das Verhalten des PCs während der Arbeit mit Office Programmen. So wird die Auslastung gemessen während mehrfach zwischen Programmen umgeschalten wird, es werden verschiedenen Office Szenarien durchgespielt, wie zum Beispiel eine Texteingabe in MS Word, dieser wird danach formatiert und auf das Vorkommen eines bestimmten Wortes durchsucht. In MS Excel werden Berechnungen durchgeführt und MS Access sortiert eine Tabelle. Weiters wird die Auslastung während eines kompletten Virusscans der Festplatte gemessen, es werden Dateien mit WinZip komprimiert und auch verschiedene Photoshop-Filter werden angewendet.

7.4 SPEC

Die Standard Performance Evaluation Corporation [12] ist ein Zusammenschluss von über 60 Firmen aus den Bereichen Server, Workstation, Prozessoren, Grafik etc. Sie alle haben sich zum Ziel gesetzt, verlässliche RealWorld-Benchmarks zu entwickeln und die Benchmarks werden daher auch von eigentlich konkurrierenden Unternehmen akzeptiert. Die verwendete Benchmarksuite SPECvierperf liegt schon in vorkompilierter Form vor und kann daher nicht von aussen nachbearbeitet und für bestimmte Prozessorarchitekturen optimiert werden.

7.5 Ergebnisse der Benchmarks

Prozessor	Chipsatz	CineBench 2000 Shading	BAPCo SYSMark 2002 SYSMarks
XP 3000+	nForce2	23,6	254
XP 3000+	KT400	20,7	236
XP 2600+	nForce2	21,8	222
XP 2600+	KT400	19,6	215
P4 3,06 GHz	E7205	23,8	297
P4 3,06 GHz	845PE	23,8	287
P4 2,8 GHz	845PE	22	266

Table 5: Ergebnisse des CineBench- und des BAPCo-Benchmarks [9]

Prozessor	Chipsatz	SPEC CPU2000 SPECfpbase2000	SPECint_base2000
XP 3000+	nForce2	829	957
XP 3000+	KT400	720	891
XP 2600+	nForce2	775	852
XP 2600+	KT400	684	797
P4 3,06 GHz	E7205	922	1033
P4 3,06 GHz	845PE	858	1018
P4 2,8 GHz	845PE	832	964

Table 6: Ergebnisse der SPEC-Benchmarks [9]

7.6 Fazit

Die Messergebnisse repräsentieren den Abstand zu einem Referenzrechner, höhere Werte bedeuten bessere Ergebnisse. Der Pentium 4 führt in so gut wie allen Benchmarks, wenn auch nur knapp. Der geringe Vorsprung sollte mit der Vorstellung des kommenden Athlon XP mit Barton-Kern jedoch aufgeholt sein.

Allerdings ist das Preis/Leistungsverhltnis bei den AMD-Prozessoren viel ausgewogener: so kostet ein Pentium 4 Prozessor meist knapp das doppelte als ein vergleichbarer AMD Athlon.

8 Roadmap

Folgende neue Athlon Prozessoren sind für 2003 geplant:

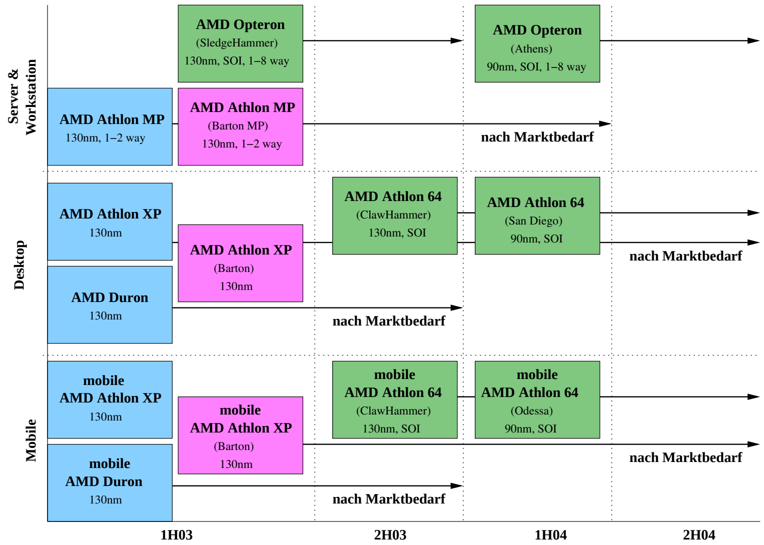


Figure 6: AMD Prozessor-Roadmap vom 31.01.03 [13]

9 Quellenverzeichnis

- [1] www.amd.com
- [2] www.ibm.com
- [3] www.intel.com
- [4] www.amdzone.com
- [5] www.tecChannel.de
- [6] CHIP 11/2002, S.77, *"CPU-Power fuer alle Lebenslagen"*
- [7] www.spec.org/osg/cpu2000/CINT2000
- [8] www.inf.fu-berlin.de/lehre/SS00/19540-V/vortraege/schuermann/Athlon/pipeline.html
- [9] c't 4/2003, S.107, *"Gipfeltreffen"*
- [10] www.maxon.de/pub/benchmarks/cinebench_intel.zip
- [11] www.bapco.com
- [12] www.spec.org
- [13] c't 4/2003, S.25, *"Prozessorgeflüster"*